

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-307478

(43)Date of publication of application : 02.11.2001

(51)Int.Cl. G11C 11/22

(21)Application number : 2001-083633 (71)Applicant : INFINEON TECHNOLOGIES AG

(22)Date of filing : 22.03.2001 (72)Inventor : BOEHM THOMAS  
MANYOKI ZOLTAN  
ESTERL ROBERT  
ROEHR THOMAS

(30)Priority

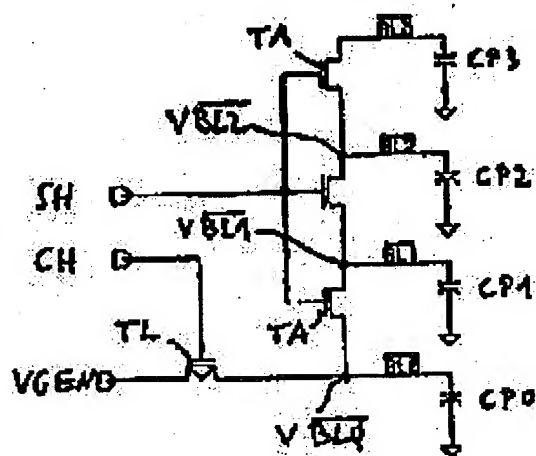
Priority number : 2000 10014387 Priority date : 23.03.2000 Priority country : DE

(54) INTEGRATED MEMORY, AND METHOD FOR GENERATING REFERENCE VOLTAGE ON REFERENCE BIT LINE OF INTEGRATED MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To improve accuracy of bit line reference voltage to read and write data in a memory capacitor MC in a memory in which a differential sense amplifier SA is connected to a pair of bit lines, for example, a ferroelectric memory to read and write data in a memory capacitor MC.

SOLUTION: A main reference bit line/BL0 is connected to reference voltage VREF through a charging switch element TL. The other reference bit line/BLi is connected to the main bit line/BL0 through a balance adjusting switch element TA for electric charges balance adjustment between parasitic capacitance of each reference bit line. At the time, reference voltage VGEN is separated from the main reference bit line/BL0, other reference bit lines /BL1, /BL2, /BL3 are connected to the main reference bit line in parallel. Thereby, balance adjustment of electric charges accumulated in parasitic capacitance CPI of each reference bit line connected in parallel is performed, reference voltage VREF is distributed as equal plural bit line reference voltage V/BLi.



LEGAL STATUS

[Date of request for examination] 22.03.2001

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-307478

(P2001-307478A)

(43) 公開日 平成13年11月2日 (2001. 11. 2)

(51) Int.Cl.<sup>7</sup>

G11C 11/22

識別記号

501

F I

G11C 11/22

テーマコード(参考)

501H

審査請求 有 請求項の数7 OL (全7頁)

(21) 出願番号 特願2001-83633(P2001-83633)

(22) 出願日 平成13年3月22日 (2001. 3. 22)

(31) 優先権主張番号 10014387. 3

(32) 優先日 平成12年3月23日 (2000. 3. 23)

(33) 優先権主張国 ドイツ (DE)

(71) 出願人 599158797

インフィネオン テクノロジース アクチ  
エンゲゼルシャフト

ドイツ連邦共和国 ミュンヘン ザンクト  
マルティン シュトラッセ 53

(72) 発明者 トーマス ベーム

ドイツ連邦共和国 ツオルネディング ヘ  
ルツォーク-ハインリヒ-ヴェーク 5

(72) 発明者 ソルタン マンヨーキ

カナダ国 オーエヌ シーディーエヌ-カ  
ナタ タンギー コート 308

(74) 代理人 100061815

弁理士 矢野 敏雄 (外4名)

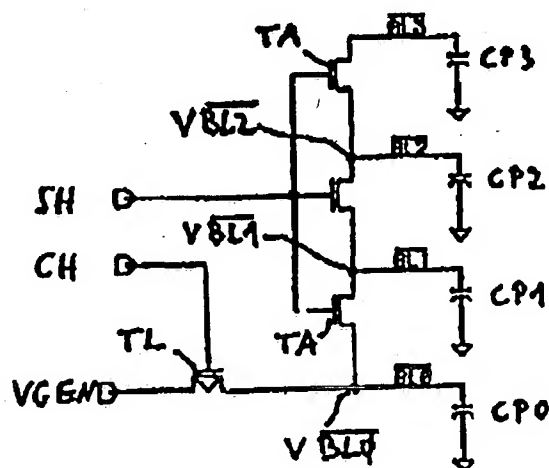
最終頁に続く

(54) 【発明の名称】 集積メモリおよび該集積メモリの参照ビット線上に参照電圧を発生させる方法

(57) 【要約】

【課題】 メモリキャパシタMCにおけるデータの読み書きのため、差動型センスアンプSAがビット線対と接続されているメモリたとえば強誘電体メモリにおいて、ビット線参照電圧の精度を高める。

【解決手段】 主参照ビット線/BL0が充電スイッチ素子TLを介して基準電圧VREFにつなげられている。別の参照ビット線/BLiが、各参照ビット線の寄生容量間での電荷平衡調整のため平衡調整スイッチ素子TAを介して主参照ビット線/BL0と接続されている。その際、基準電圧VGENを主参照ビット線/BL0から分離し、別の参照ビット線/BL1、/BL2、/BL3を主参照ビット線に対し並列に接続する。それにより並列に接続された各参照ビット線の寄生容量C*P*<sub>*i*</sub>に蓄積されている電荷の平衡調整が行われ、基準電圧VREFが等しい複数のビット線参照電圧V/BLiに配分される。



## 【特許請求の範囲】

【請求項1】 メモリキャパシタ (CM) と選択トランジスタ (TM) と書き込み読み出し差動増幅器 (SA) が設けられており、

前記メモリキャパシタ (CM) は、ビット線 (BLi) およびビット線参照電圧 (V/BLi) をもつ参照ビット線 (/BLi) から成るビット線対 (BLi, /BLi) とワード線 (WLi) との交点に配置されており、前記選択トランジスタ (TM) を介して前記メモリキャパシタ (CM) はビット線と接続されており、該選択トランジスタ (TM) の制御電極はワード線 (WLi) と接続されており、

前記書き込み読み出し差動増幅器 (SA) は、前記メモリキャパシタ (CM) からのデータの読み出しおよびそこへの書き込みのため、転送トランジスタ (T) を介して前記ビット線対 (BLi, /BLi) と接続されている形式の、

集積メモリにおいて、

主参照ビット線 (/BL0) が充電スイッチ素子 (TL) を介して基準電圧 (VREF) につながれており、

少なくとも1つの別の参照ビット線 (/BLi) が、各参照ビット線の寄生容量間での電荷平衡調整のため平衡調整スイッチ素子 (TA) を介して前記主参照ビット線 (/BL0) と接続されていることを特徴とする、集積メモリ。

【請求項2】 基準電圧 (VREF) は基準電圧源により供給されている、請求項1記載のメモリ。

【請求項3】 前記主参照ビット線 (/BL0) は、電荷平衡調整のため3つの平衡調整スイッチ素子 (TA) によって3つの別の参照ビット線 (/BLi) と接続されている、請求項1または2記載のメモリ。

【請求項4】 前記平衡調整スイッチ素子 (TA) は直列に接続されている、請求項1から3のいずれか1項記載のメモリ。

【請求項5】 前記充電スイッチ (TL) としてpチャネルトランジスタが用いられる、請求項1から4のいずれか1項記載のメモリ。

【請求項6】 メモリキャパシタ (CM) を備え、ビット線 (BLi) およびビット線参照電圧 (V/BLi) をもつ対応する参照ビット線 (/BLi) から成るビット線対 (BLi, /BLi) と接続された前記メモリキャパシタ (CM) から、差動増幅器 (SA) を用いてデータを読み出す形式の集積メモリの参照ビット線 (/BLi) 上に参照電圧 (V/BLi) を発生させる方法において、

基準電圧 (VGEN) を主参照ビット線 (/BL0) へ供給するステップと、

該基準電圧 (VGEN) を主参照ビット線 (/BL0) から分離するステップと、

少なくとも1つの別の参照ビット線 (/BL1, /BL2, /BL3) を前記主参照ビット線に対し並列に接続し、それにより並列に接続された各参照ビット線の寄生容量 (Cpi) に蓄積されている電荷の平衡調整を行って、基準電圧 (VREF) を等しい大きさの複数のビット線参照電圧 (V/BLi) に配分するステップを有することを特徴とする、

集積メモリの参照ビット線 (/BLi) 上に参照電圧 (V/BLi) を発生させる方法。

【請求項7】 参照ビット線 (/BLi) 上での電荷平衡調整後、該参照ビット線 (/BLi) を平衡調整スイッチ素子 (TA) により再び互いに分離する、請求項6記載の方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、集積メモリたとえば強誘電体メモリに関する。この場合、メモリキャパシタと選択トランジスタと書き込み読み出し差動増幅器が設けられており、前記メモリキャパシタは、ビット線およびビット線参照電圧をもつ参照ビット線から成るビット線対とワード線との交点に配置されており、前記選択トランジスタを介して前記メモリキャパシタはビット線と接続されており、該選択トランジスタの制御電極はワード線と接続されており、前記書き込み読み出し差動増幅器は、前記メモリキャパシタからのデータの読み出しおよびそこへの書き込みのため、転送トランジスタを介して前記ビット線対と接続されている。さらに本発明は、このような集積メモリたとえば強誘電体メモリの参照ビット線上に参照電圧を発生させる方法に関する。

## 【0002】

【従来の技術】 この種の集積メモリはDRAMまたはFeRAMとして DE 199 03 199 A1 から知られている。この場合、たとえばデータを1トランジスタ1キャパシタ型のメモリセルにおける強誘電体メモリキャパシタから読み出すために、参照ビット線に規定の参照電圧が必要とされる。強誘電体キャパシタの場合、誘電体の分極状態によって情報が記憶される。格納されている情報を差動型センスアンプにより読み出す際、メモリキャパシタと接続されたビット線に、論理値1については対応する分極状態に基づいたたとえば1.2Vの電圧値を、論理値0については逆の分極状態に基づき0.5Vの電圧値を発生させることができ、もしくは測定することができる。この電圧値は、差動増幅器によって参照ビット線における参照電圧と比較される。

【0003】 その際、このビット線参照電圧の正確な値はテストフェーズにおいてまえもって求められ、それに応じて参照電圧が調節される。この目的でたとえば、強誘電体メモリのすべてのメモリセルに論理値0に応じて電圧が書き込まれ、つまりすべてのメモリセルを適切に分極させる。ついて特定のビット線参照電圧が印加さ

れ、差動増幅器によってすべてのメモリセルが読み出される。ビット線参照電圧の値が過度に低く選定されていたならば、誤って論理値1も読み出される。したがって続くステップにおいてビット線参照電圧の値が高められ、読み出し過程が繰り返される。この過程は、記憶されたすべての論理値0が強誘電体セルから適正に読み出されるまで実施される。これに続いてすべてのメモリセルに論理値1が書き込まれ、高められたビット線参照電圧に基づきメモリ内容が読み出される。その際、ビット線上の参照電圧は、記憶されたすべての論理値1を誤りなく読み出すことができるようになるまで低減される。これにより、テストされるメモリチップに関して、適切な基準電圧を選定しなければならない電圧窓が得られる。

【0004】公知の従来技術の欠点は、ビット線参照電圧の精度が限られていることである。なぜならば通常の基準電圧発生器あるいは基準セルはたとえば0.3～0.7Vの範囲において、絶対的に30mVの電圧精度で出力電圧をビット線に発生させるからである。このためビット線参照電圧の相対的な誤差の値は、10%～4.2%の範囲内である。

【0005】US 4, 937, 476 によれば集積メモリにおいて、差動増幅器のための参照電圧を充電スイッチ素子、平衡調整スイッチ素子およびキャパシタンスを用いて発生させることが知られている。この場合、参照電圧はキャパシタ間の電荷平衡調整によって実現されている。

【0006】

【発明が解決しようとする課題】本発明の課題は、メモリキャパシタと選択トランジスタと書き込み読み出し差動増幅器が設けられており、前記メモリキャパシタは、ビット線およびビット線参照電圧をもつ参照ビット線から成るビット線対とワード線との交点に配置されており、前記選択トランジスタを介して前記メモリキャパシタはビット線と接続されており、該選択トランジスタの制御電極はワード線と接続されており、前記書き込み読み出し差動増幅器は、前記メモリキャパシタからのデータの読み出しおよびそこへの書き込みのため、転送トランジスタを介して前記ビット線対と接続されている形式の集積メモリにおいて、ビット線参照電圧の精度を簡単な手段によって高めること、集積メモリのためのビット線参照電圧を発生させるための対応する作動方法を提供することである。

【0007】

【課題を解決するための手段】本発明によればこの課題は、主参照ビット線が充電スイッチ素子を介して基準電圧につながれており、少なくとも1つの別の参照ビット線が、各参照ビット線の寄生容量間での電荷平衡調整のため平衡調整スイッチ素子を介して前記主参照ビット線と接続されている集積メモリにより解決される。さら

に上記の課題は、基準電圧を主参照ビット線へ供給するステップと、該基準電圧を主参照ビット線から分離するステップと、少なくとも1つの別の参照ビット線を前記主参照ビット線に対し並列に接続し、それにより並列に接続された各参照ビット線の寄生容量に蓄積されている電荷の平衡調整を行って、基準電圧を等しい大きさの複数のビット線参照電圧に配分するステップを有する方法により解決される。

【0008】

【発明の実施の形態】本発明によれば、たとえば30mVという絶対的な電圧精度を変えないまま、たとえば0.7Vではなく2.8Vという従来技術に比べ著しく大きい出力電圧をもつ電圧発生器を用いて、基準電圧を問題なく発生させることができる。個々の参照ビット線における相対的な誤差は、これにより相応に明らかに低減される。このように増大された基準電圧が選択された1つの参照ビット線における寄生容量に充電され、ついでその際に蓄積された電荷が他の参照ビット線の寄生容量に配分されることで、すべてのビット線参照電圧の誤差がそれ相応に低減される。たとえばビット線参照電圧を、1.2V～2.8Vの範囲で30mVの電圧精度の出力電圧をもつ電圧発生器により発生させると、参照ビット線における誤差は4本の参照ビット線が互いに結線されている場合、本発明による電荷平衡調整後にはもはや2.5%～1.0%にしかない。ここで4本のビット線参照電圧は等しい大きさである。その理由は、これらのビット線における4つの寄生容量も等しい大きさだからである。

【0009】1つの有利な実施形態によれば、基準電圧は定電圧源により供給される。これは回路技術的に非常に簡単に比較的大きな電圧値についても十分な精度で実現することができる。これに対する代案として基準セルを用いることもできるが、これは動作期間が増えるにつれて老化することに起因して基準電圧の精度が落ちる可能性がある。しかも基準電圧発生器のタイミングが比較的複雑になってしまう。

【0010】有利には、電荷平衡調整のため4本の参照ビット線が3つの平衡調整スイッチ素子により互いに接続されている。これにより一方では、参照ビット線上での参照電圧の精度を4倍にすることができる。他方、主参照ビット線に供給される電圧の値を十分に低く抑えたままにすることができる。これはたとえば4本の参照ビット線が互いに結線されているならば2.8Vあたりにおくことができ、これにより電荷平衡調整後、精確に0.7Vの均一なビット線参照電圧を得ることができる。

【0011】簡単な回路レイアウトを得る目的で、平衡調整スイッチ素子を平衡調整トランジスタとして直列に接続することができる。

【0012】1つの有利な実施形態によれば充電スイッ

チ素子はpチャネルトランジスタとして実現されており、これにより伝達すべき基準電圧がたとえば2.8Vのように比較的高くても、充電スイッチ素子のゲートにおける制御電圧を十分に低く抑えることができる。

【0013】次に、図面を参照しながら本発明による集積メモリアレイの実施例ならびにビット線参照電圧発生方法について説明する。

【0014】

【実施例】強誘電体メモリ(FeRAM)は図1によれば周知のように、それぞれビット線BL<sub>i</sub>と参照ビット線/<sub>BL</sub>iから成るビット線対とワード線WL<sub>i</sub>の交点に、1トランジスタ1キャパシタ型のメモリセルMCを有している。各メモリセルMCの選択トランジスタTMは、メモリセルMCにおける強誘電体メモリキャパシタCMをそれぞれ対応づけられたビット線と接続する。選択トランジスタTMのゲートは、対応づけられたワード線WL<sub>i</sub>と接続されている。図1では簡単にするため、2本のビット線対BL<sub>1</sub>, /BL<sub>1</sub>, BL<sub>2</sub>, /BL<sub>2</sub>と3本のワード線WL<sub>1</sub>, WL<sub>2</sub>, WL<sub>3</sub>しか描かれていない。明らかなようにFeRAMは、実際にはこれよりもずっと多数のビット線とワード線を有している。図示されているメモリ装置はさらに読み出し増幅器すなわちセンスアンプSAを有しており、これはビット線対における個々のビット線とそれぞれ転送トランジスタTを介して接続されている。この場合、センスアンプSAは周知の差動増幅器であって、これはメモリキャパシタCMに対する読み出しアクセスにあたりそのキャパシタに属するビット線対(BL<sub>i</sub>, /BL<sub>i</sub>)上の電圧差を増幅し、図示されていないデータ線へ転送する。したがって読み出しアクセスにおいてこのような電圧差の結果、個々のビット線対におけるビット線の一方(/BL<sub>i</sub>)が規定の参照電圧をもつ参照ビット線として用いられるのに対し、メモリキャパシタCMの内容はビット線対の対応する他方のビット線(BL<sub>i</sub>)へ読み出されることになる。しかしセンスアンプSAは書き込みアクセス時にも、そこへ供給されたデータをビット線対の一方を介して強誘電体メモリセルMCへ伝送するために用いられる。センスアンプSAはたとえば、DRAMにおいて一般的なフリップフロップ回路によって実現することができる。また、ある時点でビット線BL<sub>i</sub>, /BL<sub>i</sub>の一方だけをセンスアンプSAと接続するよう、転送トランジスタTを制御することができる。したがってセンスアンプは左側のビット線対BL<sub>1</sub>, /BL<sub>1</sub>をアクセスすることができるし、あるいは右側のビット線対BL<sub>2</sub>, /BL<sub>2</sub>をアクセスすることができる。

【0015】図1に示されているメモリはさらに制御ユニットCを有しており、これは転送トランジスタTを制御するために用いられる。この制御ユニットCの出力側はそれぞれ1つのドライバDRV<sub>i</sub>を介して、ビット線対BL<sub>i</sub>, /BL<sub>i</sub>のそれぞれ一方における転送トラン

ジスタTと接続されている。ドライバDRV<sub>i</sub>には正の給電電位VDDと負の電位-Vが供給され、やはりこのレベルをもつ出力信号を送出する。ワード線WL<sub>i</sub>は、図示されていないワード線デコードおよび別のドライバDRV<sub>3</sub>を介して制御される。図1ではそれらのドライバDRV<sub>3</sub>のうちの1つしか描かれていない。この別のドライバDRV<sub>3</sub>へは正の給電電位VDDとアース電位が供給される。このためワード線WL<sub>i</sub>は、正の給電電位VDDにおかれるかまたはアース電位におかれる。これに対し転送トランジスタTのゲートには阻止状態において負の電位-Vが加わり、これはこのトランジスタの閾値電圧よりも小さい。転送トランジスタTはノーマリオン型のトランジスタであるため、その閾値電圧は負である。負の電圧-Vは、転送トランジスタTのゲートにその電位が加わったときにこのトランジスタが確実に阻止されるように選定されている。

【0016】たとえば、図1による回路の強誘電体メモリキャパシタCMからの読み出し過程のためにビット線参照電圧V/<sub>BL</sub>iを発生できるようにする目的で、この回路は図2に示した回路によって補われる。この場合には実例としてそれぞれ4つのメモリセルMCとそれらの参照ビット線/<sub>BL</sub>iが、ビット線参照電圧の共通の発生を行う1つの回路ユニットにまとめられている。簡単にするため図2には、参照ビット線/<sub>BL</sub>iとビット線参照電圧V/<sub>BL</sub>iの発生に必要な回路素子だけがメモリキャパシタを伴わずに描かれている。しかし図2では、2つの別の参照ビット線/<sub>BL</sub>0と/<sub>BL</sub>3が補われている。参照ビット線/<sub>BL</sub>0は図2によれば主参照ビット線として用いられる。これは他のすべての参照ビット線のように寄生ビット線容量C<sub>Pi</sub>をもっている。その際、寄生ビット線容量の値はたとえば典型的には150fF付近にあり、したがって強誘電体メモリキャパシタCMの容量値よりも著しく大きい。主参照ビット線/<sub>BL</sub>0は、pチャネル型の充電トランジスタTLを介して基準電位VGENにつながられている。これはそれ自体周知の電圧発生器により供給され、たとえば30mVの電圧精度を伴い1.2V~2.8Vの範囲内にある。したがって電圧の相対的な誤差は2.5%~1%となる。充電トランジスタTLのゲートは、制御ユニットのチャージ信号端子CH(図2)と接続されている。さらに主参照ビット線/<sub>BL</sub>0は直列に接続された3つの平衡調整トランジスタTA<sub>i</sub>を介して、3つの別の参照ビット線/<sub>BL</sub>1, /BL<sub>2</sub>, /BL<sub>3</sub>と接続されている。また、平衡調整トランジスタTAのゲートは、制御ユニットのシェア信号端子SH(図2)と共通に接続されている。強誘電体メモリにおいて参照ビット線として用いられる他のすべてのビット線は、ビット線参照電圧を正確に発生させるためやはり図2に示されているように4本組グループで互いに結線されている。この場合、選択的にたとえばBL<sub>1</sub>, /BL<sub>1</sub>, /BL<sub>2</sub>, /BL

2も、対応する参照ビット線4本組グループとして互いに結線することができる。

【0017】次に、図1および図2に示した回路の動作もしくは作動方法について、図3に示したビット線参照電圧 $V_{BLi}$ に関する電圧-時間ダイアグラムを参照しながら説明する。ここでは $V_{GEN}=2.8V$ とする。また、時点 $t=0$ において、すべての参照ビット線上の電圧 $V$ の値はたとえば $0V$ である。充電トランジスタ $TL$ と平衡調整トランジスタ $TA$ もしくはそれによって実現されるスイッチは開かれている( $CH=1$ ,  $SH=0$ )。おおよそ時点 $t=1.5ns$ において、読み出し過程の準備処理のためメモリキャパシタ $CM$ からビット線対 $BL1$ ,  $/BL1$ (図1)を介してチャージ信号 $CH$ が1にセットされる。したがって充電トランジスタ $TL$ により実現されたスイッチは閉じられる。これにより基準電圧源とつながれた主参照ビット線 $/BL0$ の寄生容量 $CP0$ は、基準電位値 $V_{REF}=2.8V$ まで充電される。ほぼ時点 $t=6ns$ においてこの値に到達し、このとき図3による時間経過特性は寄生容量の値、充電トランジスタ $TL$ のオン抵抗ならびに参照ビット線 $/BL0$ の抵抗によって定まる。充電過程をできるだけ迅速に実行できるようにする目的で、充電トランジスタ $TL$ のオン抵抗をできるだけ小さく選定することができ、もしくはトランジスタ $TL$ をいっそう低いゲート電圧で制御することができる。おおよそ時点 $t=7.5ns$ において、充電トランジスタ $TL$ により実現されているスイッチが開かれる( $CH=1$ )。これにより、主参照ビット線 $/BL0$ の寄生容量が基準電圧源から分離される。さらに、3つの平衡調整トランジスタ $TA$ により実現されているスイッチが閉じられ、つまり $CH=1$ および $SH=1$ にセットされる。そこで主参照ビット線 $/BL0$ の寄生容量 $CP0$ に蓄積されている電荷が、これと接続されている別の参照ビット線 $/BL1$ ,  $/BL2$ ,  $/BL3$ の3つの寄生容量 $CP1$ ,  $CP2$ ,  $CP3$ に配分される。線抵抗がそれぞれ異なることから、主参照ビット線の寄生容量 $CP0$ に蓄積されていた電荷はそれぞれ異なる速さで他の3つの寄生ビット線容量 $CP1$ ,  $CP2$ ,  $CP3$ に向かって流れる。択一的に、個々の平衡調整トランジスタ $TA$ を時間をずらして相前後してスイッチオンさせるようにしてもよい。しかしその場合には電荷平衡調整がゆっくりになる。図3によればビ

ット線電位 $V_{BLi}$ は時点 $t=10ns$ において電荷平衡調整が行われたことに起因してすべて、正確に $2.8V/4=0.7V$ である等しい値に到達する。この場合、4つの電位値の相対的な精度は、基準電圧源の相対的な精度がたとえば2%であればやはり正確に2%になる。その際、4つの寄生ビット線容量 $CPi$ の値が精確に一致した結果、4つの電位値の精確な一致が生じる。その後、時点 $t=12ns$ において、3つの平衡調整トランジスタ $TA$ は再び遮断され、つまり $SH=0$ にセットされる。したがって参照ビット線 $BLi$ は再び互いに分離され、これにより後続の読み出し過程にあたり不利になる相互作用を確実に排除できるようになる。この場合、制御ユニット $C$ により制御されて、転送トランジスタ $T$ により実現されているスイッチが閉じられ、差動型センスアンプ $SA$ はメモリキャパシタ $CM$ の内容を読み出し、もしくはそれに続いて論理情報を再びメモリセルに書き戻す。この目的で前述のように、ビット線 $BL1$ および参照ビット線 $/BL1$ の電位差が測定される。

【図面の簡単な説明】

【図1】本発明による強誘電体メモリアレイの部分回路図である。

【図2】図1を補うかたちで、ビット線参照電圧を発生させるスイッチ素子を備えた回路を示す図である。

【図3】図1および図2に示した回路において本発明の方法によって得られるビット線参照電圧の電圧-時間ダイアグラムである。

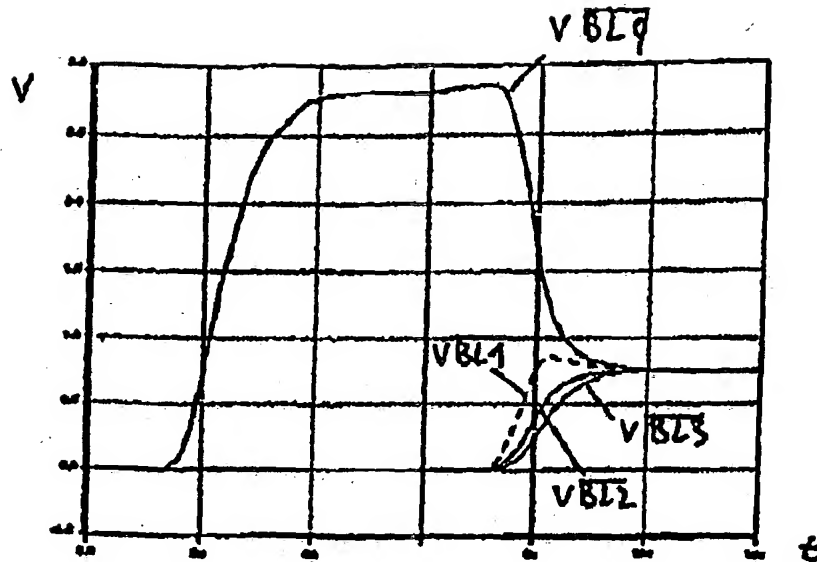
【符号の説明】

MC メモリセル  
CM メモリキャパシタ  
 $BLi$ ,  $/BLi$  ビット線対  
 $CPi$  寄生容量  
 $WLi$  ワード線  
 $DRVi$  ドライバ  
C 制御ユニット  
SA センスアンプ  
TA 平衡調整トランジスタ  
TL 充電トランジスタ  
SH シェア信号端子  
CH チャージ信号端子  
VGEN 基準電圧





【図3】



フロントページの続き

(72)発明者 ローベルト エスタール  
ドイツ連邦共和国 ミュンヘン シュヴァ  
ネンヴェーク 8

(72)発明者 トーマス レーア  
ドイツ連邦共和国 アッシュハイム ガウ  
スリング 8